

⑪ 日本国特許庁 (JP)

特許出願公開

⑫ 公開特許公報 (A)

昭59-38998

Int. Cl.<sup>3</sup>  
G 11 C 17/00

識別記号  
1 0 1

庁内整理番号  
6549-5B

⑬ 公開 昭和59年(1984)3月3日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 読み出し専用メモリ

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭57-148902

⑯ 出 願 人 富士通株式会社

⑰ 出 願 昭57(1982)8月27日

川崎市中原区上小田中1015番地

⑱ 発 明 者 白土猛英

⑲ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

読み出し専用メモリ

2. 特許請求の範囲

選択ワード線をハイレベルとし、非選択ワード線をローレベルとして読み出すNORゲート回路よりなる読み出し専用メモリであって、上記メモリセルはゲートを隣接する上記ワード線に、ソースをグランドにそれぞれ接続し、且つ同一ビット線に接続されるドレイン部を共通にしたMIS型トランジスタによって形成され、上記選択されたワード線とビット線に対応する上記トランジスタがディフェュージョンセル<sup>ア</sup>ライン型エンハンスメントトランジスタであるかエンハンスメントトランジスタであるかによって2値の情報が書き込まれることを特徴とする読み出し専用メモリ。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明はユーザの指定する記憶情報を任意に書き込むことを可能にしたマスクROM(マスク・

リード・オンリー・メモリ)形式の読み出し専用メモリに関する。

(b) 技術的背景

ユーザの指定する記憶情報の書き込みを可能にしたマスクROMは、一般にその製造プロセスの途中に於てユーザの指定する記憶情報の書き込みを行う方式をとっている。そして当該書き込みは、ユーザに対する納期の遅延を図る観点から後工程製造工程のできるだけ後の工程で行うことが望まれる。しかしその反面、納期に遅延を起すとメモリの集積度の向上をさまたげることになる。

(c) 従来技術と問題点

第1図及び第2図は従来から多く用いられている電極コンタクト窓の有無によりユーザ指定の記憶情報を書き込むことを可能にしたマスクROM(ユーザROM)の例を示すもので、該マスクROMの1メモリセルは、すべて単一のエンハンスメント型MOSトランジスタからなっている。第1図はROMの一部を示すものでゲート電極が選択ワード線<sup>W</sup>に接続されたエンハンスメント型

MOSトランジスタ $Q_1$ と、ゲート電極が非選択ワード線 $W_j$ に接続されたエンハンスメント型MOSトランジスタ $Q_2$ とを示している。そして、これらトランジスタ $Q_1$ 、 $Q_2$ のソース $S$ はグラウンドに接地され、更にそのドレイン部 $D$ は電極コンタクト窓 $N$ により選択ビット線 $B_i$ に接続されるようになっている。即ちビット線と接するドレイン部に電極コンタクト窓 $N$ が有り無しによって該当メモリセルに“H”又は“L”レベルのユーザ指定情報を書き込むものである。

従って、選択ワード線 $W_i$ を“H”レベルとし、非選択ワード線 $W_j$ を“L”レベルとしてセルの記憶内容を読み出すとき、例えば選択ビット線 $B_i$ に対するトランジスタ $Q_1$ のドレイン部に電極コンタクト窓があれば、該トランジスタ $Q_1$ は導通して電流がグラウンドに流れるため、ビット線 $B_i$ の出力は“L”レベルとなる。又、上記と逆側トランジスタ $Q_2$ のドレイン部に電極コンタクト窓 $N$ がなければトランジスタ $Q_2$ はオフとなり、ビット線 $B_i$ の出力は“H”レベルとなる。

たワード線とビット線に対応する上記トランジスタがディフュージョンセルフアライン型のエンハンスメントトランジスタであるかエンハンスメントトランジスタであるかによって2値情報が書き込まれてなることを特徴とする。

#### (f) 発明の実施例

以下、本発明を実施例について図を用いて詳細に説明する。

第3図乃至第5図は本発明に係る読み出し専用メモリ、即ちユーザ指定の記憶情報の書き込みを可能にしたマスクROM(ユーザROM)の一実施例を示すもので、第3図はその一部のメモリセルマトリクスの構成図、第4図はそのパターン平面図、第5図は本発明に於けるメモリセルの断面模式図である。

本発明に係るマスクROMは例えば第3図に示すように、該マスクROMを構成するメモリセルはすべてMOSトランジスタ、例えば $Tr_1$ 、 $Tr_2$ からなり、例えばトランジスタ $Tr_1$ のゲート電極は選択ワード線 $W_i$ に接続され、トランジスタ $Tr_2$

しかし、このようなマスクROMのメモリセルを構成するトランジスタ $Q_1$ 、 $Q_2$ に対しては、そのドレイン部を各々独立して設けねばならないため、メモリセルを形成するパターンエリアが大きくなり(2ビットのメモリセルで30( $\mu$ ) $\times$ 6( $\mu$ )程度)、ROMパターン集積度が低下するという問題があった。

#### (d) 発明の目的

本発明は上記従来の問題点を除去したもので、その目的とするところは、高集積化が可能なROM用メモリパターンを有する読み出し専用メモリを提供することにある。

#### (e) 発明の構成

即ち本発明は選択ワード線をハイレベルとし、非選択ワード線をローレベルとして読み出すNORゲート回路よりなる読み出し専用メモリに於て、上記メモリセルはゲートを隣合う上記ワード線にソースをグラウンドにそれぞれ接続し、且つ同一ビット線に接続されるドレイン部を共通にしたMIS型トランジスタによって形成され、上記選択され

のゲート電極は選択ワード線 $W_i$ に隣合う非選択ワード線 $W_j$ に接続されることとて、その各ソース $S$ はグラウンドに接地され、さらに両トランジスタ $Tr_1$ 、 $Tr_2$ のドレイン部 $D$ は共通に形成され、該共通ドレイン部 $D$ に形成した電極コンタクト窓 $Cp$ (第4図参照)を介して同一ビット線 $B_i$ に接続されている。(  $B_j$  は非選択ビット線 )

そして、選択されたワード線 $W_i$ 及びビット線 $B_i$ に対応するメモリセルのデータ出力が“H”レベルとなるようにセットする場合は、トランジスタ $Tr_1$ を通常の入力電圧ではONしない非対称形のディフュージョンセルフアライン(DSA)型エンハンスメントトランジスタに形成し、又、選択されたワード線 $W_i$ とビット線 $B_i$ に対応するメモリセルのデータ出力が“L”レベルとなるようにセットする場合は、トランジスタ $Tr_2$ を通常のエンハンスメントトランジスタに形成する。

ここで非対称形のディフュージョンセルフアライン(DSA)型エンハンスメントトランジスタ $Tr_1$ とはソース部にDSA領域を設けたもので、

第5図に示すように、例えばP型の半導体基板S、UB上に形成されたポリシリコンゲートGpと、基板S、UB面にゲート電極Gpを挟みゲート電極Gp下部に偏かに食い込んで拡散形成された例えばN<sup>+</sup>型のソースSと共通ドレイン部D及び、ゲート電極Gpの下部からソースSの中央部付近までソースSに接し、且つ通常の入力電圧ではONしないような高いしきい値電圧(V<sub>th</sub>)を得るのに必要な濃度で形成された基板S、UBと同導電型の高不純物濃度領域即ちP<sup>+</sup>領域DAを有してなる構造のものをいう。なお同図に於てT<sub>ri</sub>は、非選択ワード線W<sub>j</sub>に接続されて前記D S A型エンハンスメントトランジスタとNORゲートを構成する前記D S A型エンハンスメントトランジスタとドレイン部Dが共通な通常のエンハンスメントトランジスタである。

そして、このような非対称形のD S A型エンハンスメントトランジスタを形成する場合は、ユーザROMの製造プロセスの途中、例えばゲート電極形成終了段階に於て、共通ドレイン部D及びソ

ースSを拡散形成するに先立って、第4図に破線で示すポリシリコンゲート電極Gp近傍領域に例えばほう素(B)の選択イオン注入等の方法により選択的にソースSより深いP<sup>+</sup>領域DA(例えばB濃度 $10^{18} \sim 10^{20}$  [atm/cm<sup>2</sup>]程度)を形成し、しかる後ゲート電極Gpをマスクにして通常通り例えば砒素(As)を高濃度に浅く注入し、拡散を行ってN<sup>+</sup>型(As濃度 $10^{20}$  [atm/cm<sup>2</sup>]程度)のソースS及びドレインDを形成する。

なお、上記ソースSは隣相ウトランジスタのソースと共通になるので、前記P<sup>+</sup>領域DAは前述したようにソースSの中央部からD S A型エンハンスメントトランジスタT<sub>ri</sub>側のみに形成しなければならない。

上記のように構成したマスクROMに於て、選択ワード線W<sub>i</sub>を“H”レベルとし、非選択ワード線W<sub>j</sub>を“L”レベルとしてメモリセルの記憶内容を読み出すとき、選択されたワード線W<sub>i</sub>とビット線B<sub>j</sub>に対応する該当トランジスタT<sub>ri</sub>が第5図に示すどときD S A型エンハンスメントト

ランジスタT<sub>ri</sub>で構成されていれば、該トランジスタT<sub>ri</sub>はオフし、ビット線B<sub>j</sub>の出力は“H”レベルとなる。

又、上記該当トランジスタT<sub>ri</sub>が通常のエンハンスメントトランジスタ(第5図に示すトランジスタT<sub>ri</sub>に相当する構造のもの)で構成されていれば、該トランジスタT<sub>ri</sub>は導通して電流がグラウンドに流れるため、ビット線B<sub>j</sub>の出力は“L”レベルとなる。

#### (8) 読み出し効果

以上説明したように本発明は、ROMのメモリセルを同一ビット線に接続されるドレイン部が共通で、且つゲート電極が隣相ウワード線に接続され、且つソースが共通のグラウンドに接地されたトランジスタより構成し、そして選択されたトランジスタ(ワード線とビット線に対応するトランジスタをディフュージョンセルフアライン(DSA)型エンハンスメントトランジスタ又は通常のエンハンスメントトランジスタとすることによりユーザ指定の記憶情報を書き込み可能にしたものであ

る。

従って本発明によれば、二つのトランジスタのドレイン部を共通にしたことにより、例えば2ビットのメモリセルを形成するパターンエリアは、 $21(\mu\text{m}) \times 6(\mu\text{m})$ 程度となり、従来に比べて70%程度、メモリの集積度を向上することができる。

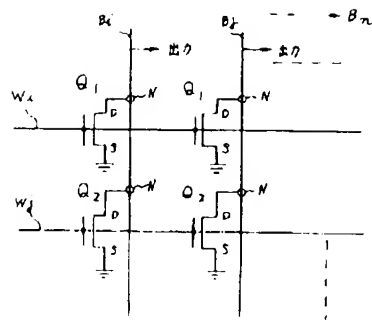
#### 4. 図面の簡単な説明

第1図は従来に於ける読み出し専用メモリの一部のメモリマトリクス構成図、第2図はそのパターン平面図、第3図は本発明に係る読み出し専用メモリの一部のメモリマトリクス構成図、第4図はそのパターン平面図、第5図は本発明に於けるメモリセルの断面模式図である。

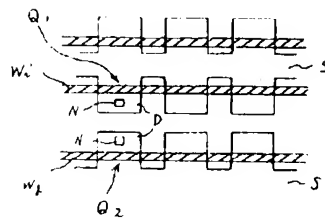
図に於て、T<sub>ri</sub>、T<sub>rj</sub>はトランジスタ、T<sub>ri</sub>はディフュージョンセルフアライン型エンハンスメントトランジスタ、W<sub>i</sub>、W<sub>j</sub>はワード線、B<sub>i</sub>、B<sub>j</sub>はビット線、Gpはゲート電極、Dはドレイン部、Sはソース、Cpは電容コンタクト部、DAはディフュージョンセルフアライン領域を示す。

代理人 伊藤 隆 岡 宏 堀 田 隆

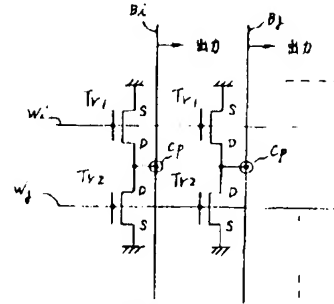
第 1 図



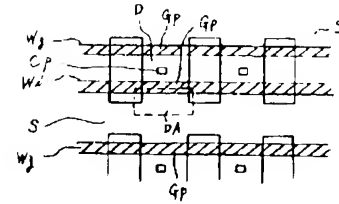
第 2 図



第 3 図



第 4 図



第 5 図

